

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334267
 (43)Date of publication of application : 17.12.1993

(51)Int.CI. G06F 15/16
 G06F 9/38

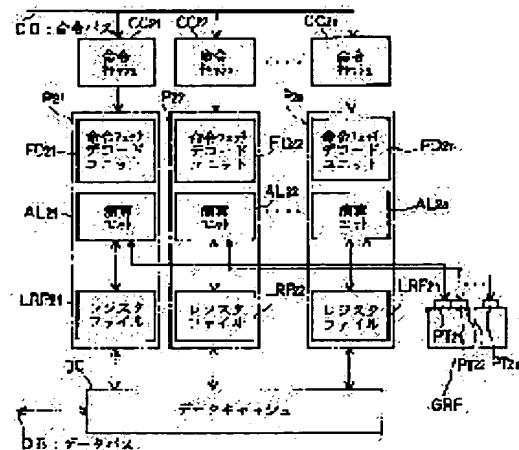
(21)Application number : 04-141274 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 02.06.1992 (72)Inventor : KATSUNO AKIRA

(54) PARALLEL PROCESSOR

(57)Abstract:

PURPOSE: To improve an operating speed by increasing the speed of a communication among processes accompanying the update of global data.

CONSTITUTION: A parallel processor which executes a series of processing constituted of some arithmetic processing units in parallel by allowing plural processors P21-P2n to share the arithmetic processing units, is equipped with a global register GRF which stores the global data common to more than two arithmetic processing units. The global register GRF is equipped with pairs of basic writing port and reading port PT21-PT2n necessitated for one arithmetic operation at least in the number of the processors P21-P2n.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-334267

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵ G 0 6 F 15/16 9/38	識別記号 3 7 0 Z 8840-5L 3 7 0 A 9193-5B	府内整理番号 F I	技術表示箇所
---	--	---------------	--------

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平4-141274	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成4年(1992)6月2日	(72)発明者 勝野 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
	(74)代理人 弁理士 井桁 貞一

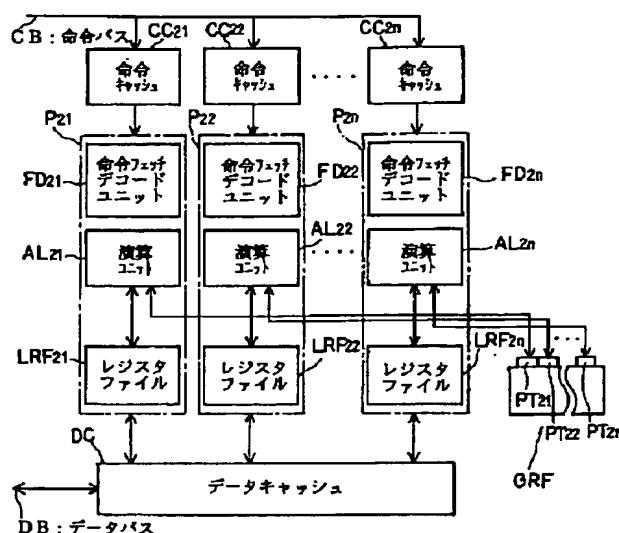
(54)【発明の名称】並列プロセッサ

(57)【要約】

【目的】グローバルデータの更新に伴うプロセス間通信を高速化し、動作速度の向上を図ることを目的とする。

【構成】複数のプロセッサのそれぞれに演算処理単位を分担させていくつかの演算処理単位からなる一連の処理を並列的に実行する並列プロセッサにおいて、前記演算処理単位の2つ以上に共通するグローバルデータを格納するグローバルレジスタを具備し、該グローバルレジスタは、1つの演算に必要な基本の書き込みポートおよび読み出しポートの組を、少なくとも前記プロセッサの数だけ備えることを特徴とする。

一実施例のブロック図



$P_{21} \sim P_{2n}$: プロセッサ
 GRF : グローバルレジスタファイル (グローバルレジスタ)
 $PT_{21} \sim PT_{2n}$: ポート部 (基本の書き込みポートおよび読み出しポートの組)

【特許請求の範囲】

【請求項1】複数のプロセッサのそれぞれに演算処理単位を分担させていくつかの演算処理単位からなる一連の処理を並列的に実行する並列プロセッサにおいて、前記演算処理単位の2つ以上に共通するグローバルデータを格納するグローバルレジスタを具備し、該グローバルレジスタは、1つの演算に必要な基本の書き込みポートおよび読み出しポートの組を、少なくとも前記プロセッサの数だけ備えることを特徴とする並列プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1つのデータ処理タスクを、平行して処理を行うことのできるいくつかのサブタスク（演算処理単位；例えばプロセス）に分割し、このサブタスクを各プロセッサに割り当てて同時平行的に処理を行わせる並列プロセッサに関する。

【0002】

【従来の技術】図2は、従来の並列プロセッサの構成図である。P₁、P₂、……、P_nは、2次キャッシュメモリ（以下、2次キャッシュと略す）SC₁、SC₂、……SC_nおよびバスBを介して主記憶メモリ（以下、主記憶と略す）Mを共有するn個のプロセッサであり、これらのプロセッサP₁～P_nは、何れも、命令フェッチ・デコードユニットFD_i（iは1～n）、演算ユニットAL_i、命令キャッシュCC_i、データキャッシュDC_iおよびレジスタファイルRF_i等を含み、n個のプロセッサでn演算処理単位（例えばnプロセス）の並列プロセッサを構成する。

【0003】各プロセッサP_iは、分担するプロセスの命令やデータを、命令キャッシュCC_iやデータキャッシュDC_iおよび2次キャッシュSC_iを経由して主記憶Mまたは外部から読み込み、必要なデータをレジスタファイルRF_iに格納するとともに、命令フェッチ・デコードユニットFD_iの処理結果に従って、所定の演算処理を実行する。

【0004】ここで、レジスタファイルRF_iに格納されるデータには、1つのプロセスに固有のもの（以下、ローカルデータ）と、2つ以上のプロセスに共通のデータ（以下、グローバルデータ）とが含まれる。グローバルデータのコヒーレンシ（一致性）を保つために、プロセッサ間の同期やバスを介した通信が行われる。すなわち、あるプロセスでグローバルデータが更新された場合は、その更新情報を他のプロセスに伝え、当該他のプロセスのグローバルデータを更新する。

【0005】

【発明が解決しようとする課題】しかしながら、かかる従来の並列プロセッサにあっては、あるプロセスでグローバルデータを更新した場合には、その更新情報を2次キャッシュやバスを介して他のプロセスに伝達すること

により、コヒーレンシを保つ構成となっていたため、特に、グローバルデータの更新頻度が高い場合にはプロセス間通信が頻繁に発生し、処理速度が低下するといった問題点があった。

【目的】そこで、本発明は、グローバルデータの更新に伴うプロセス間通信を高速化し、動作速度の向上を図ることを目的とする。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するために、複数のプロセッサのそれぞれに演算処理単位を分担させていくつかの演算処理単位からなる一連の処理を並列的に実行する並列プロセッサにおいて、前記演算処理単位の2つ以上に共通するグローバルデータを格納するグローバルレジスタを具備し、該グローバルレジスタは、1つの演算に必要な基本の書き込みポートおよび読み出しポートの組を、少なくとも前記プロセッサの数だけ備えることを特徴とする。

【0007】

【作用】本発明では、プロセス間の同期や通信がグローバルレジスタを介して直接的に行われる。従って、従来例のように、2次キャッシュやバスを介して間接的に行うよりも高速化が図られ、処理速度の低下が回避される。

【0008】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係る並列プロセッサの一実施例を示す図である。図1において、P₂₁、P₂₂、……、P_{2n}はn個のプロセッサであり、各プロセッサは命令フェッチ・デコードユニットFD_k（kは21～2n）、演算ユニットAL_kおよびローカルレジスタファイルLRF_kを備える。CC_kはプロセッサごとに設けられた命令キャッシュ、DCは各プロセッサに共通のデータキャッシュ、GRFは同じく各プロセッサに共通のグローバルレジスタファイル、CB、DBは図外の主記憶や入出力部等につながる命令バスおよびデータバスである。ここで、グローバルレジスタファイルGRFは、1つの演算に必要な基本の読み出しポートおよび書き込みポート（例えば2リードポート+1ライトポート）の組（ポート部PT₂₁～PT_{2n}）を少なくとも前記プロセッサと同数（すなわちn個）だけ備えており、各プロセッサによる同時アクセスが可能になっている。

【0009】以上の構成において、各命令キャッシュCC_kには、命令バスCBを介して外部から与えられる命令列が同時にロードされ、あるいは、それぞれの命令キャッシュに特定の命令列がロードされる。すなわち、一連の演算処理を構成するいくつかの演算処理単位（例えばプロセス）のそれぞれに対応する1つ若しくは複数の命令列が、命令キャッシュCC_kごとにロードされる。

【0010】命令キャッシュCC_k内の命令列は、各プロセッサP_kによって順次にフェッチされ、そのデコー

(3)

特開平5-334267

3

ト結果に従ってデータキャッシュDCから演算に必要なデータが取り込まれる。そして、取り込まれたデータのうち、プロセスに固有のデータ（ローカルデータ）が自己的ローカルレジスタファイル LRF_k に格納され、さらに、他のプロセスと共通するデータ（グローバルデータ）がグローバルレジスタファイルGRFに格納される。

【0011】従って、本実施例によれば、各プロセスに共通するグローバルデータが1つのレジスタファイル（グローバルレジスタファイルGRF）に格納されるので、それぞれのプロセッサ間の同期や通信をこのグローバルレジスタGRFを介して直接的に行うことができ、従来例のように、2次キャッシュやバスを介して間接的に行うのに比べて高速化することができる。

【0012】ここで、複数のプロセッサ間の同期命令、例えばLock命令／Unlock命令を利用することにより、グローバルレジスタファイルGRFの同一アドレスのアクセス競合を回避できる。これは、あるプロセッサ（プロセスA）がLockステートメントの実行に成功すれば、プロセスA以外の他のプロセスは、プロセスAがUnlockス

(3)

4

テートメントを実行するまでそこに停止しなければならないからである。

【0013】なお、本実施例のデータキャッシュDCには、プロセッサ数分の入出力ポートが備えられ、各プロセッサによる同時アクセスが可能になっている。このため、キャッシュデータの共有化が図られ、プロセッサ間でのキャッシュ・コヒーレンシが常に保たれる。

【0014】

【発明の効果】本発明によれば、グローバルデータの更新に伴うプロセス間通信を高速化でき、動作速度を向上することができる。

【図面の簡単な説明】

【図1】一実施例のブロック図である。

【図2】従来例のブロック図である。

【符号の説明】

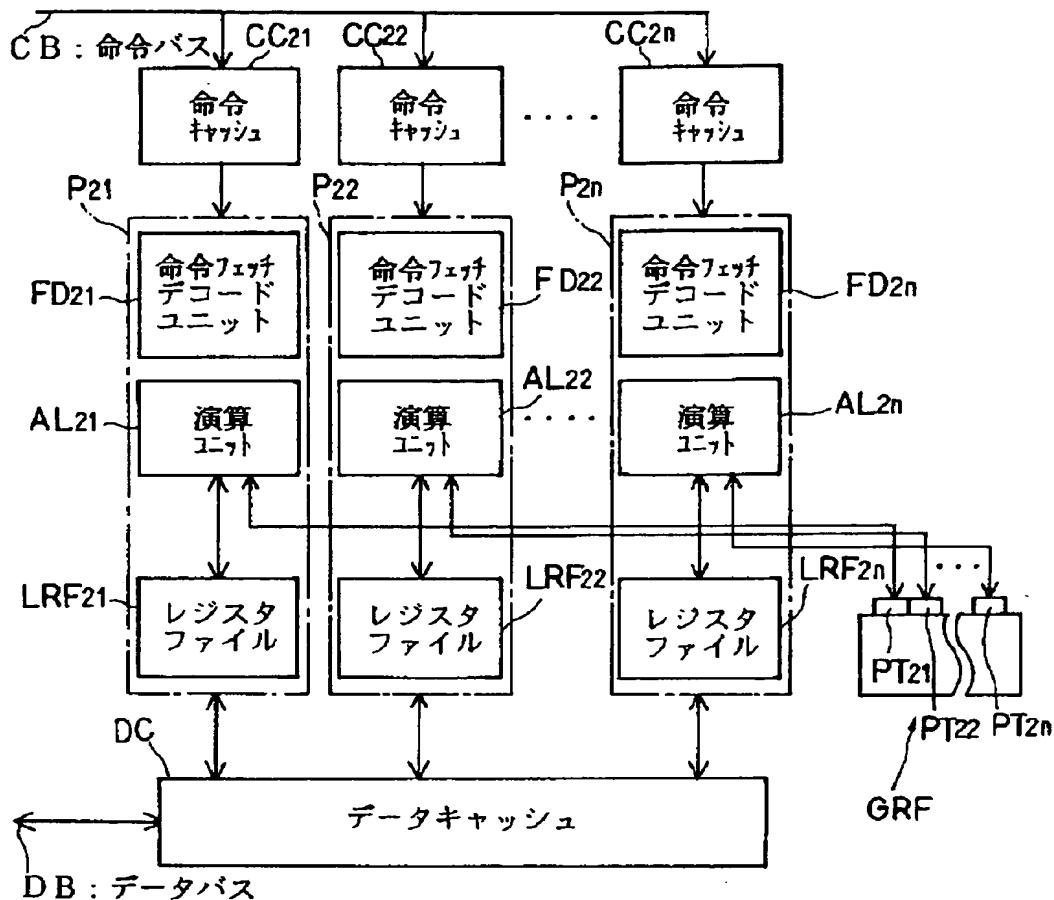
 $P_{21} \sim P_{2n}$: プロセッサ

GRF : グローバルレジスタファイル（グローバルレジスタ）

PT₂₁～PT_{2n} : ポート部（基本の書き込みポートおよび読み出しポートの組）

【図1】

一実施例のブロック図



P₂₁ ~ P_{2n} : プロセッサ

GRF : グローバルレジスタファイル (グローバルレジスタ)

PT₂₁ ~ PT_{2n} : ポート部 (基本の書き込みポートおよび読み出しポートの組)

【図2】

従来例のブロック図

